

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP5109673
Publication date: 1993-04-30
Inventor(s): HANAOKA HIDEYASU
Applicant(s): SEIKO EPSON CORP
Requested Patent: JP5109673
Application Number: JP19910272758 19911021
Priority Number(s):
IPC Classification: H01L21/302; H01L21/027
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent a sidewall protective film, which is formed during a dry etching, from being hardened by a method wherein after a wiring layer consisting of a single layer or a multilayer made of Al and an Al alloy is subjected to dry etching, a resist ashing is performed at 100 deg.C or lower.

CONSTITUTION: A wiring layer consisting of a single layer or a multilayer made of an Al alloy is etched and thereafter, a resist of 206 is removed by bringing oxygen (O₂) gas and CHF₃ gas into a plasma state at 90 deg.C. Then, residual chlorine of 207 is removed with oxygen (O₂) gas and methanol (CH₃OH) gas. In such a way, a sidewall protective film of 208 can be prevented from being hardened by setting a treatment temperature for a resist ashing at 90 deg.C.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-109673

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

H 0 1 L 21/302

21/027

21/302

識別記号

G 7353-4M

N 7353-4M

7352-4M

F I

H 0 1 L 21/30

3 6 1 R

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平3-272758

(22)出願日

平成3年(1991)10月21日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 花岡 秀安

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

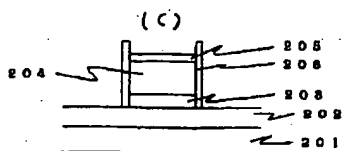
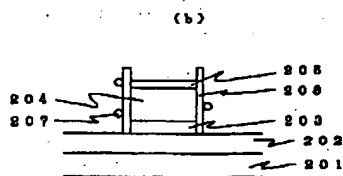
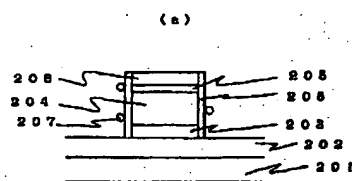
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 AL及びAL合金の単層または多層より成る配線層をドライエッチングした後、100℃以下でレジストアッシングすることで、ドライエッチング中に形成される側壁保護膜の硬化を防止する。

【構成】 AL合金エッチング後、90℃で206のレジストを酸素(O₂)ガスとCHF₃ガスをプラズマ化して除去する。次に、酸素(O₂)ガスとメタノール(CH₃OH)ガスにより207の残留塩素を除去する。以上より、レジストアッシングの処理温度を90℃にすることにより208の側壁保護膜の硬化を防止出来る。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 ウェハ上に形成されたAL及びAL合金の単層または多層より成る配線層をドライエッチングした後、100℃以下で、レジストアッシングすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し特にAL及びAL合金ドライエッチング後の腐食防止に関するものである。

【0002】

【従来の技術】 図4は従来の製造方法を示すものであり、401はSi基板、402はSiO₂膜、403はTiN、404はAL合金、405はTiN、406はレジスト、407は残留塩素、408は側壁保護膜である。次に図5のプラズマエッチング装置とプラズマアッシング装置が一体となったものを用いて、AL合金エッチング後のレジストアッシングを例として、従来のレジストアッシングを説明する。図5の501はウェハ、502はエッチングチャンバー、503はコイル、504はマイクロ波、505はエッチングステージ、506は高周波電源、507はマイクロ波、508はアッシングチャンバー、509はアッシングステージである。まず、ウェハ上にSiO₂膜をCVDにより全面にデポジションして、次にスパッタリングによりTiN、AL合金、TiNを順番にデポジションし、そして、フォトリソ工程にてレジストを用いてパターンニングする。そのウェハを505のエッチングステージに設置して圧力を16mTorrにして、CL₂ガス90 (SCCM) とBCl₃ガス50 (SCCM) を502のエッチングチャンバー内に流し、圧力を15 (mTorr) にしたところで、504のマイクロ波 (2.45GHz) と503のコイルに電流を流し磁場を発生させプラズマを発生させ、さらに、505のエッチングステージに506の高周波電源によりRFパワー (70W) を印可してTiN、AL合金をドライエッチングする。図4 (a) にドライエッチング後のAL合金配線断面図を示す。エッチング後ウェハを真空搬送して509のアッシングステージに設置し、508のアッシングステージを250℃にして508のアッシングチャンバー内に酸素 (O₂) ガス200 (SCCM) とメタノール (CH₃OH) ガス20 (SCCM) を導入し、圧力を600 (mTorr) にして、507のマイクロ波によりプラズマを発生させ残留塩素とメタノールを置換反応させ揮発させ、同時にレジストをアッシングする。図4 (b) にアッシング後のAL合金配線断面図を示す。

【0003】

【発明が解決しようとする課題】 しかし、前述の従来技術ではエッチング時に形成される408の側壁保護膜がレジストアッシング時に509のアッシングステージ温

2

度を250℃にすることで硬化し、有機アルカリ系溶液による408の側壁保護膜除去時に側壁保護膜が完全に除去されないため、レジストアッシング時の温度を低下させる必要がある。

【0004】

【課題を解決するための手段】 本発明の半導体製造方法は、ウェハ上に形成されたAL及びAL合金の単層または多層より成る配線層をドライエッチングした後、100℃以下でレジストをアッシングすることを特徴とする。

【0005】

【作用】 AL及びAL合金をドライエッチングした後、100℃以下の低温でレジストをアッシングすることにより、エッチング中に形成される側壁保護膜の硬化を防止する。

【0006】

【実施例】 図1は第1の本発明の製造方法を示すものであり、101はSi基板、102はSiO₂膜、103はTiN、104はAL合金、105はTiN、106はレジスト、107は残留塩素、108は側壁保護膜である。次に、図5の装置を用いたAL合金エッチング後のレジストアッシングを例として、本発明の製造方法を説明する。まず、502のエッチングチャンバーにてAL合金エッチングを行う (AL合金エッチング条件は従来の技術でのALエッチング条件と同様)。図1 (a) はAL合金エッチング後の配線断面図を示す。そして、AL合金エッチング後のウェハを502のエッチングチャンバー内から真空搬送し509のアッシングステージに設置し温度を100℃にしてメタノール (CH₃OH) ガス50 (SCCM) と酸素 (O₂) ガス200 (SCCM) を508のアッシングチャンバー内に流して、507のマイクロ波によりプラズマを発生させ残留塩素とメタノールを置換反応させ揮発させる。また、ここでレジストも若干除去される。図1 (b) に107の残留塩素除去後のAL合金配線断面図を示す。次に、完全に除去されなかったレジストを酸素 (O₂) ガス200 (SCCM) とCHF₃ガス10 (SCCM) を508のアッシングチャンバーに流して、507のマイクロ波によりプラズマを発生させレジストを除去する。図1 (c) にレジスト除去後のAL合金配線断面図を示す。次に、アッシング後のウェハを90℃の有機アルカリ系溶液に10分間浸漬させ108の側壁保護膜を完全に除去する。ここで、レジストアッシング時の温度を120℃以上にすると108の側壁保護膜が硬化し完全に除去されなかった。

【0007】 図2は第2の本発明の製造方法を示すものであり、201はSi基板、202はSiO₂膜、203はTiN、204はAL合金、205はTiN、206はレジスト、207は残留塩素、208は側壁保護膜である。次に、図5の装置を用いたAL合金エッチ

3

グ後のレジストアッシングを例として、本発明の製造方法を説明する。まず、502のエッチングチャンバーでAL合金エッチングを行う（AL合金エッチング条件は従来の技術でのALエッチング条件と同様）。図2

(a)はAL合金のエッチング後の配線断面図を示す。そして、このAL合金エッチング後のウェハーを502のエッチングチャンバー内から真空搬送し509のアッシングステージに設置し温度を90℃にしてCHF₃ガス10 (SCCM) と酸素 (O₂) ガス200 (SCCM) を508のアッシングチャンバー内に流して、圧力を700 (mTorr) にして、507のマイクロ波によりプラズマを発生させ、レジストを除去する。図2

(b)にレジスト除去後のAL合金配線断面図を示す。次に、メタノール (CH₃OH) ガス40 (SCCM) と酸素 (O₂) ガス200 (SCCM) を508のアッシングチャンバーに流し、圧力を1200 (mTorr) にして、507のマイクロ波によりプラズマを発生させ、残留塩素とメタノールを置換反応させ揮発させる。図2 (c)に残留塩素除去後のAL合金配線断面図を示す。次に、アッシング後のウェハーを90℃の有機アルカリ系溶液に10分間浸漬させ208の側壁保護膜を完全に除去する。

【0008】図3は第3の本発明の製造方法を示すものであり、301はSi基板、302はSiO₂膜、303はTiN、304はAL合金、305はTiN、306はレジスト、307は残留塩素、308は側壁保護膜、309はデボ膜である。次に、図5の装置を用いたAL合金エッチング後のレジストアッシングを例として、本発明の製造方法を説明する。まず、502のエッチングチャンバーでのAL合金エッチングを行う（AL合金エッチング条件は従来の技術でのALエッチング条件と同様）。図3 (a)はAL合金エッチング後の配線断面図を示す。そして、AL合金エッチング後のウェハーを502のエッチングチャンバー内から真空搬送し509のアッシングステージに設置し温度を50℃にして508のアッシングチャンバー内にCHF₃ガス10 (SCCM) と酸素 (O₂) ガス200 (SCCM) を流し、圧力を800 (mTorr) にして、507のマイクロ波によりプラズマを発生させ、レジストを除去する。図3 (b)にレジスト除去後のAL合金の配線断面図を示す。次に、メタノール (CH₃OH) ガス30 (SCCM) と酸素 (O₂) ガス200 (SCCM) を508のアッシングチャンバー内に流し、圧力を1200 (mTorr) にして、507のマイクロ波でプラズ

4

マを発生させ、残留塩素をメタノールにて置換反応させ揮発させる。しかし、ここで残留塩素が完全に揮発されない。そこで、次にCHF₃ガスを90 (SCCM) 508のアッシングチャンバー内に流して、圧力を900 (mTorr) にして、マイクロ波によりプラズマを発生させ、AL合金配線上に309のデボ膜をデボジションし、揮発されきれなかった残留塩素と水分吸湿との反応を防ぎ腐食を防止する。図3 (d)にポリマーをデボジションした後のAL合金配線断面図を示す。次に、アッシング後のウェハーを70℃の有機アルカリ系溶液に10分間浸漬させ308の側壁保護膜と309のデボ膜を完全に除去する。

【0009】

【発明の効果】本発明は、AL及びAL合金配線のエッチング後、100℃以下でレジストアッシングすることにより、有機アルカリ系溶液によって除去可能となった。

【図面の簡単な説明】

【図1】本発明の製造方法を示す図である。

【図2】本発明の製造方法を示す図である。

【図3】本発明の製造方法を示す図である。

【図4】従来の製造方法を示す図である。

【図5】プラズマエッチング装置及びプラズマアッシング装置を示す図である。

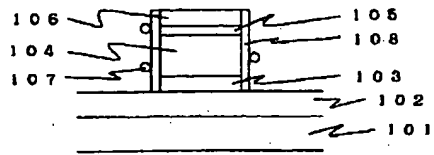
【符号の説明】

101, 201, 301	Si基板
102, 202, 302	SiO ₂ 膜
103, 203, 303	TiN
104, 204, 304	AL合金
105, 205, 305	TiN
106, 206, 306	レジスト
107, 207, 307	残留塩素
108, 208, 308	側壁保護膜
309	デボ膜
501	ウェハー
502	エッチングチャンバー
503	コイル
504	マイクロ波
505	エッチングステージ
506	高周波電源
507	マイクロ波
508	アッシングチャンバー
509	アッシングステージ

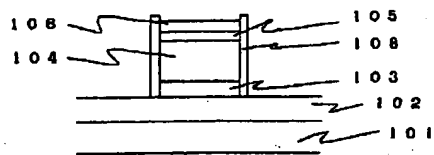
BEST AVAILABLE COPY

【図1】

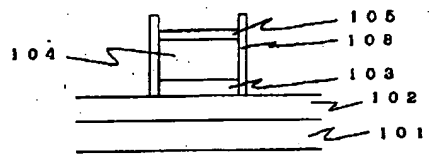
(a)



(b)

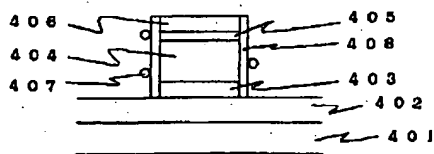


(c)

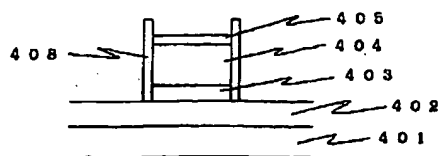


【図4】

(a)

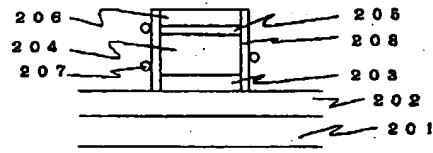


(b)

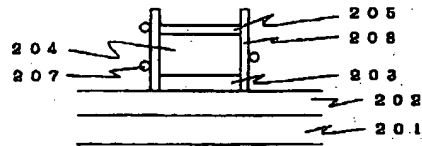


【図2】

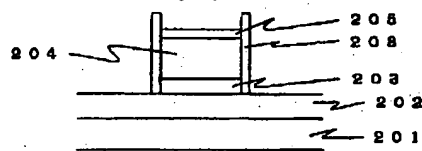
(a)



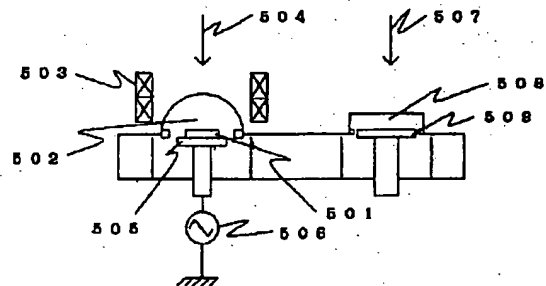
(b)



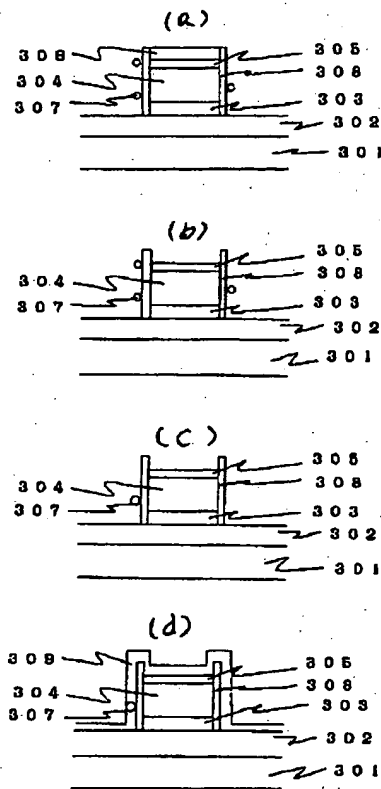
(c)



【図5】



【図3】



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)